



#3/6-1-02
V Jones

8040-1001
PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Hirofumi SUDO Confirmation No. 2766
Appl. No.: 10/081,190 Group: 2184
Filed: February 25, 2002 Examiner: Unassigned
For: INTERCOMMUNICATING APPARATUS FOR DUPLEX
SYSTEM CAPABLE OF DETECTING FAILURE
THEREOF

RECEIVED

MAY 30 2002

Technology Center 2100

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

Date: May 28, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-049361	FEBRUARY 23, 2001

A certified copy of the above-noted application is attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By 
Robert J. Patch, #17,355

Ref. 8040-1001

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

Attachment



日本国特許庁
JAPAN PATENT OFFICE

US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月23日

出願番号

Application Number:

特願2001-049361

[ST.10/C]:

[JP2001-049361]

RECEIVED

MAY 30 2002

出願人

Applicant(s):

日本電気株式会社

Technology Center 2100

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3113240

【書類名】 特許願

【整理番号】 40410571

【提出日】 平成13年 2月23日

【あて先】 特許庁 長官殿

【国際特許分類】 H04B 1/74

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 須藤 裕史

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100105511

【弁理士】

【氏名又は名称】 鈴木 康夫

【選任した代理人】

【識別番号】 100109771

【弁理士】

【氏名又は名称】 臼田 保伸

【手数料の表示】

【予納台帳番号】 055457

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711687

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 2重化交絡方式及び2重化交絡装置

【特許請求の範囲】

【請求項1】 2重化プロセッサ装置間の複数の交絡信号を送受する交絡部を有する2重化交絡方式において、

交絡部間は、複数の交絡信号に冗長ビットを付加しシリアル信号に多重化して送受信することを特徴とする2重化交絡方式。

【請求項2】 2重化プロセッサ装置の動作モードを決定するプロセッサボード間の交絡部を有する2重化交絡方式において、

送信側の交絡部は、複数の交絡信号に冗長ビットを付加する冗長ビット付加回路と、前記冗長ビットと複数の交絡信号とを多重化する多重化回路とを備え、受信側の交絡部は、前記多重化された受信信号を多重分離して複合する復号化回路と、前記冗長ビットにより符号誤りをチェックする冗長符号チェック回路と、前記チェック結果が正常の場合に前記複合化回路からの交絡信号を保持し、前記チェック結果が異常の場合に保持データをクリアする状態保持回路とを備えたことを特徴とする2重化交絡方式。

【請求項3】 前記冗長ビットは、パリティビットあるいはエラーコレクションコードあるいはCRCコードであることを特徴とする請求項2記載の2重化交絡方式。

【請求項4】 2重化プロセッサ装置の動作モードを決定するプロセッサボードの交絡部に出力ドライバ及び入力ドライバを有する2重化交絡装置において

前記出力ドライバは、タイミング生成回路と、前記タイミング生成回路の出力により複数の交絡信号に冗長ビットを発生する冗長ビット付加回路と、前記複数の交絡信号及び冗長ビットをシリアル信号とするパラレルシリアル変換回路を有し、前記入力ドライバは、受信したシリアル信号をパラレル信号に変換するシリアルパラレル変換回路と、前記パラレル信号の冗長ビットにより複数の交絡信号の符号誤りをチェックする冗長符号チェック回路と、前記チェック結果が正常の場合に前記パラレル信号の交絡信号を保持し、前記チェック結果が異常の場合に

保持データをクリアする状態保持回路とを有することを特徴とする 2 重化交絡装置。

【請求項 5】 前記冗長ビットは、パリティビットあるいはエラーコレクションコードあるいは CRC コードであることを特徴とする請求項 4 記載の 2 重化交絡装置。

【請求項 6】 前記シリアルパラレル変換回路が生成するタイミング信号を入力するタイマ回路を備え、前記タイマ回路が一定時間内にタイミング信号が受信されない場合に前記状態保持回路の保持データをクリアすることを特徴とする請求項 4 又は 5 記載の 2 重化交絡装置。

【請求項 7】 前記 2 重化プロセッサ装置は、それぞれ予備系時に前記状態保持回路の保持データにより現用系への切り替わり時の初期動作モードを設定して待機することを特徴とする請求項 4、5 又は 6 記載の 2 重化交絡装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は 2 重化交絡方式に関し、特に、2 重化プロセッサシステムにおけるプロセッサボード間の交絡情報の異常を検出可能な 2 重化交絡方式及び 2 重化交絡装置に関する。

【0002】

【従来の技術】

従来、現用系及び予備系プロセッサボードからなる 2 つのプロセッサ装置をメイトとして使用し、故障時にプロセッサ装置の切り換えを行うような 2 重化プロセッサシステム（2 重化処理装置）においては、前記メイト間で各種の情報、信号等のデータを相互に送受信する交絡部を有する多重化交絡方式が採用される。

【0003】

図 5 は、従来の一般的な 2 重化交絡方式の構成例を示す図である。2 重化処理装置のそれぞれに対応する交絡部である 0 s i d e 5 0 と 1 s i d e 5 1 との間に複数のバスを設け、それぞれに現用系であることを示す信号、2 重化動作中であることを示す信号、プロセッサが実行中であることを示す信号など、動作モ-

ドを示す信号 s 5 0、s 5 1 を送受するための信号駆動用のバスドライバ 5 0 0、5 1 0 を備える。

【0004】

従来の 2 重化交絡方式では、前記動作モードを示す信号 s 5 0、s 5 1 は複数のバスドライバ 5 0 0、5 1 0 を使用して個別信号 s 5 として送受しており、交絡部の障害に対して 2 重化装置が異常動作を起こさないことが要求される。この要請に応えるために、例えば、特開昭 5 9 - 1 7 2 8 3 6 号公報では、交絡部を構成するケーブルについて、ケーブル抜けを検出することにより、両系の状態異常が発生しないようにすることが提案されている。

【0005】

【発明が解決しようとする課題】

前記先行技術文献に開示された方式では、ケーブル抜けに対しこれを検出することにより対処を可能にするものであるが、ケーブル抜け以外の故障、例えばプロセッサボード上の出力部品やボード上の故障の検出及び対処が可能なものではなかった。

【0006】

つまり、ボードの障害や出力ドライバの故障により状態変化の連絡線がハイレベルあるいはローレベルに固定する障害が発生した場合、受信側は 2 重化処理装置としての状態異常を起こした動作となる。例えば、何れのプロセッサ装置が現用系としてサービス等の処理動作を行うかが不定となる等により、正常な 2 重化運転ができないことになる。

【0007】

また、例えば前記受信側が予備系としての状態異常を起こすと、2 重化装置として予備系から現用系へ切り替わった場合、動作を開始するための初期状態等の設定が異常となり、結果的に正常な 2 重化運転ができないという問題も生じる。

【0008】

さらに従来の方式では、上記のような場合に現用系が定まらない状態となるため片系での装置の立ち上げもできず、システムダウンを引き起こす可能性がある。

【0009】

特に2重化処理装置においては、単一のプロセッサカードを使用した1重化運転中において、2重化するために新たに予備系のプロセッサカードをモジュールに挿入した際に、当該予備系のプロセッサカードの交絡信号にハイレベル又はローレベルに固定するところのハイレベルスタックやローレベルスタックがあった場合、系構成に異常を引き起こしてシステムダウンを起こすことがあるという問題がある。

【0010】

(目的)

本発明の主な目的は、2重化処理装置における交絡信号の送受信にケーブル抜けに加え各種の故障を検出し、故障に対する対処を可能とした2重化交絡方式及び2重化交絡装置を提供することにある。

【0011】

本発明の他の主な目的は、バックワイヤリングボードとプロセッサボードの故障あるいは出力ドライバの故障時においても2重化処理装置の現用系を定めることを可能にし、システムに対する信頼性及び利用性 (availability) を向上させた2重化交絡方式及び2重化処理装置を提供することにある。

【0012】

【課題を解決するための手段】

本発明は、2枚のプロセッサを使用してシステムの信頼性及び利用性 (availability) を高めるという2重化処理装置のプロセッサ間を接続する交絡部として、交絡信号に冗長ビットを付加しシリアル信号に多重して送受信するという構成を設ける。特に、動作モードを示す信号を送信する時に冗長ビットを付加しシリアル信号化して出力する構成を設ける。また、2重化交絡装置に関し、出力ドライバと入力ドライバとを有する2重化交絡信号制御において、冗長ビット付加回路とタイミング生成回路とパラレルシリアル変換回路とシリアルパラレル変換回路と冗長ビットによるチェック回路と状態保持回路を有する。前記冗長ビット付加回路がパリティビットあるいはエラーコレクションコードあるいはCRCコードにより構成されることを特徴とする。また、前記状態保持回路は、タイマ機能

を有し一定時間にタイミング信号が来ない場合に保持データをクリアする構造を有する。つまり、

本発明の 2 重化交絡方式は、現用系及び予備系の 2 重化プロセッサ装置の複数の交絡信号を送受する交絡部を有する 2 重化交絡方式において、交絡部間は、複数の交絡信号に冗長ビットを付加しシリアル信号に多重化して送受信することを特徴とする。

【 0 0 1 3 】

本発明の 2 重化交絡方式は、2 重化プロセッサ装置の動作モードを決定する送信側及び受信側の交絡部を有するプロセッサボード間の 2 重化交絡方式において、送信側の交絡部は、複数の交絡信号に冗長ビットを付加する冗長ビット付加回路と、前記冗長ビットと複数の交絡信号とを多重化する多重化回路とを備え、受信側の交絡部は、前記多重化された受信信号を多重分離して複合する復号化回路と、前記冗長ビットにより符号誤りをチェックする冗長符号チェック回路と、前記チェック結果が正常の場合に前記複合化回路からの交絡信号を保持し、前記チェック結果が異常の場合に保持データをクリアする状態保持回路とを備えたことを特徴とする。前記冗長ビットは、パリティビットあるいはエラーコレクションコードあるいは CRC コードであることを特徴とする。

【 0 0 1 4 】

本発明の 2 重化交絡装置は、2 重化プロセッサ装置の動作モードを決定するプロセッサボードの交絡部に出力ドライバ及び入力ドライバを有する 2 重化交絡装置において、前記出力ドライバは、タイミング生成回路と、前記タイミング生成回路の出力により複数の交絡信号に冗長ビットを発生する冗長ビット付加回路と、前記複数の交絡信号及び冗長ビットをシリアル信号とするパラレルシリアル変換回路とを有し、前記入力ドライバは、受信したシリアル信号をパラレル信号に変換するシリアルパラレル変換回路と、前記パラレル信号の冗長ビットにより複数の交絡信号の符号誤りをチェックする冗長符号チェック回路と、前記チェック結果が正常の場合に前記パラレル信号の交絡信号を保持し、前記チェック結果が異常の場合に保持データをクリアする状態保持回路とを有することを特徴とする。前記冗長ビットは、パリティビットあるいはエラーコレクションコードあるい

はCRCコードであることを特徴とする。また、前記シリアルパラレル変換回路が生成するタイミング信号を入力するタイマ回路を備え、前記タイマ回路が一定時間内にタイミング信号を受信しない場合に前記状態保持回路の保持データをクリアすることを特徴とする。

【0015】

前記各2重化交絡装置において、前記2重化プロセッサ装置は、それぞれ予備系時に前記状態保持回路の保持データにより現用系への切り替わり時の初期動作モードを設定して待機することを特徴とする。

【0016】

より具体的には、本発明に係る2重化交絡方式は、現用系であることを示す信号、2重化動作中であることを示す信号、プロセッサが実行中であることを示す信号などから構成される信号により2重化処理装置の動作モードを設定するために構成され使用される。

【0017】

本発明は、2重化処理装置の動作モードを決定する交絡部におけるプロセッサボード間の交絡信号に交絡信号の出力側に冗長ビット付加回路と多重化回路を設け、受信側に復号化回路と冗長符号チェック回路と状態保持回路を設けたことを特徴としている。

【0018】

2重化系構成の動作モードを示す信号がメイト間を接続しているという構成に対し、本発明に従って、送信側に冗長ビットとしてパリティジェネレータと生成したパリティも含んだパラレルシリアル変換回路を設けており、受信側にシリアルパラレル変換回路とパリティチェック回路と状態保持回路を設けている。また、この状態保持回路は、パリティチェック回路がパリティエラーを検出すると保持内容をクリアするという動作を実行する（図1）。

【0019】

本発明によれば、基板接続コネクタを備えモジュール（ユニット）を構成する基板ボードのバックワイヤリングボード（BWB）、あるいはプロセッサを搭載するプロセッサボー、あるいはプロセッサボード上の部品の故障時に、対向する

メイト系からの動作モードの信号を無効にし、前記メイト系のプロセッサボードが例えば未実装状態と同様に判断することで、現用系が決定できずシステムの状態が不定となる問題を回避することを可能とする。

【 0 0 2 0 】

【発明の実施の形態】

本発明の多重化交絡方式の一実施の形態について、図面を参照して詳細に説明する。

【 0 0 2 1 】

（構成の説明）

図 1 は、本発明の一実施の形態としての 2 重化交絡方式を示すブロック図である。本実施の形態の 2 重化交絡方式は、2 重化処理装置の 0 系装置と 1 系装置に対応する交絡部として 0 s i d e 1 0（以下、「0 系」ともいう）と 1 s i d e 1 1（以下、「1 系」ともいう）の 2 重化構成でなり、0 s i d e 1 0 の送信側の構成は、パリティ生成回路 1 0 1 と、タイミング生成回路 1 0 2 と、パラレルシリアル変換回路 1 0 3 とから構成され、また、1 s i d e 1 1 の受信側の構成は、シリアルパラレル変換回路 1 1 1 と、パリティチェック回路 1 1 2 と、メイト系である 0 系の動作状態を保持する状態保持回路 1 1 3 とから構成されている。なお、図 1 には 0 系から 1 系への信号の伝達を行う構成のみを示しているが、交絡部の回路としては 1 系から 0 系に向かう信号の伝達回路も同様に具備する。

【 0 0 2 2 】

図 2 は、本発明の実施の形態の 2 重化処理装置における両方向の構成を備える交絡部自体のブロック図である。パリティ生成回路 1 0 1、タイミング生成回路 1 0 2、パラレルシリアル変換回路 1 0 3 からなる出力ドライバ、及び、シリアルパラレル変換回路 1 0 4、パリティチェック回路 1 0 5、状態保持回路 1 0 6 からなる入力ドライバを備える。

以下、本実施の形態を便宜上、図 1 に示す構成に基づいてその構成及び動作を説明する。

【 0 0 2 3 】

図 1 において、0 s i d e 1 0 は、パリティ生成回路 1 0 1 は動作モード等の

信号 s 1 1 を入力し、信号 s 1 2 及びパリティビット p 1 0 を出力する。またタイミング生成回路 1 0 2 は、一定周期（フレーム周期）でタイミング信号 t 1 0 を発生する。パラレルシリアル変換回路 1 0 3 は、パリティ生成回路 1 0 1 からの信号 s 1 2 及びパリティビット p 1 0 を入力し、タイミング生成回路 1 0 2 から出力される前記タイミング信号 t 1 0 のタイミングで多重した後、シリアル信号 s 1 3 としてメイト系の 1 s i d e 1 1 に出力する。

【 0 0 2 4 】

1 s i d e 1 1 は、シリアルパラレル変換回路 1 1 1 はシリアル信号 s 1 3 を入力して処理し、パラレル化した信号 s 1 4 とパリティ信号 p 1 1 及びタイミング信号 t 1 1 を出力し、パリティチェック回路 1 1 2 は、タイミング信号 t 1 1 のタイミングでパリティチェックを行い有効データであれば状態保持回路 1 1 3 に信号を保持する。

【 0 0 2 5 】

図 1 に示す本実施の形態においては、2 重化処理装置の 2 重化系を決定する信号線の信号 s 1 1 の一例として、現用系を示す信号 A C T N（ローレベルにより現用系であることを示す）、2 重化の動作状態を示す信号 S Y C N（ローレベルにより 2 重化運転中であることを示す）、実行中であることを示す信号 R U N N（ローレベルにより実行中であることを示す）からなる動作モード信号が使用される。

【 0 0 2 6 】

つまり、各信号線はメイト間で情報交換することで 2 重化系構成の動作を決定するものであり、本実施の形態のパリティ生成回路 1 0 1 は、各信号線の入力信号 A C T N、S Y C N、R U N N 信号 s 1 1 を入力し冗長ビットを付加してパラレル信号 s 1 2、p 1 0 としてパラレルシリアル変換回路 s 1 2 に出力する。なお、パリティ処理では一例としてハイレベルの数が奇数個になるようパリティ信号を付加する処理を行う。また、パラレルシリアル変換回路 1 0 3 は入力信号 s 1 2、p 1 0 をタイミング生成回路 1 0 2 から出力するタイミング信号 t 1 0 でシリアル信号に多重してシリアル信号 s 1 3 をメイト系の 1 s i d e 1 1 に出力する。

【 0 0 2 7 】

1 s i d e 1 1 ではメイト系の 0 s i d e 1 0 からのシリアル信号 s 1 3 をシリアルパラレル変換回路 1 1 1 に入力する。シリアルパラレル変換回路 1 1 1 は、パラレル信号 s 1 4 とパリティ信号 p 1 1 とメイト系 (0 s i d e) のタイミング信号 t 1 0 を復元して生成したパリティチェックタイミング信号 t 1 1 を出力する。

【 0 0 2 8 】

また、パリティチェック回路 1 1 2 は入力信号のパラレル信号 s 1 4 とパリティ信号 p 1 1 をパリティチェックタイミング信号 t 1 1 の示すタイミングでチェックし正常であれば状態保持回路 1 1 3 に出力信号 s 1 5 を状態信号として保持する。

【 0 0 2 9 】

パラレル信号 s 1 4 、 p 1 1 にエラーがあればクリア信号 c 1 1 を出力し状態保持回路 1 1 3 の保持内容をクリアする。なお、交絡情報の A C T N 、 S Y C N 、 R U N N s 1 1 は負論理であることから状態保持回路 1 1 3 のクリアではメイト状態出力信号 s 1 6 をハイレベルにする。

【 0 0 3 0 】

以上により状態保持回路 1 1 3 は、パリティチェックタイミング信号 t 1 1 によってパリティチェック回路 1 1 2 からの出力信号 s 1 5 を常に保持し、状態保持回路 1 1 3 はメイト系の状態を示す信号を出力信号 s 1 6 として出力する。また、パリティエラー等が検出された場合、パリティチェック回路 1 1 2 からのクリア信号 c 1 1 によりディアサートするように構成される。

【 0 0 3 1 】

図 1 に示すパリティ生成回路、タイミング生成回路、パラレルシリアル変換回路、シリアルパラレル変換回路及びパリティチェック回路は、当業者にとってよく知られており、また本発明とは直接関係しないので、その詳細な構成は省略する。

【 0 0 3 2 】

なお、以上の説明では 0 系から 1 系への信号の伝達を行う構成に関して行った

が、2重化交絡方式としては1系から0系に向かう信号の伝達回路を備える。つまり、2重化処理装置の交絡部としては、図2に示すように両方向の構成及び機能を有することは前述のとおりである。

【0033】

以上のように本実施の形態の各交絡部内において、前述のようにパリティエラーを活用することにより、現用系であることを示す信号等が異常であるか否かを決定可能であり、現用系が不定となる等の異常を回避することができる。また、本実施の形態では状態保持回路を有しており、該状態保持回路を前述のように制御することにより、例えば、現用系のプロセッサ装置の動作モードの状態情報を予備系のプロセッサ装置側に常時送信して、予備系のメモリ等に現用系の動作モードの状態を常に更新・記憶し予備系から現用系への切り換えに備える制御を確実に実施することを可能とする。

【0034】

(動作の説明)

次に、本実施の形態の2重化交絡方式の動作を図3に示す動作タイミングのタイムチャートを参照して、動作モード信号を0 side から1 side に伝達する場合の動作について説明する。

【0035】

0 side (0系)においては、複数の動作モード信号(ACTN、SYCN、RUNN) s11を一定のフレーム周期のタイミング信号t10のタイミングでパリティビットp10を生成し、メイト系の1 side (1系)にパリティビットを付加したシリアル信号s13として送信し、1 side (1系)においては、受信したシリアル信号s13に基づいてパリティチェックにより正常性を確認した場合に複数の動作モード信号(ACTN、SYCN、RUNN) s16を復元、保持し、出力する。

【0036】

つまり0系では、パラレルシリアル変換回路103において、タイミング生成回路102が生成した一定周期のタイミング信号t10により、その立ち上がりのタイミング(t1、t3)でStart (スタート) ビットを出力し、続いて

動作モード信号ACTN、SYCN、RUNNをビット単位幅で順に出力し、ACTNビット、SYCNビット、RUNNビットとし、最後に生成したパリティビットをParityビットとして付加し、1フレームとしてまとめシリアル信号s13として出力する。ここで、生成されるタイミング信号t10の周期はシリアル信号のビット数（1フレーム）以上の間隔を持っている。

【0037】

一方1系では、シリアルパラレル変換回路111において、前記シリアル信号s13を入力し、Startビットを検出することによりシリアル信号からパラレル信号を検出するタイミング（t1、t3）を得るとともに、パリティチェックタイミング（t2、t4）で、図2に示す1sideのパラレル信号ACTN、SYCN、RUNNs14とパリティチェックタイミング信号t11を生成する。そして、パリティチェック回路112はパリティチェックタイミング信号t11でパリティチェックを行い、パリティエラーがなければ、パリティチェックタイミング信号t11のタイミング（t2、t4）で状態保持回路113の記憶内容を更新する。図2に示すように1sideの状態保持回路113の動作モード信号ACTN、SYCN、RUNNは、パリティチェックタイミング信号t11毎に更新され、また、パリティエラーがある場合は、前回に状態保持した出力が維持される。

【0038】

なお、以上の動作は図1に示す0系から1系への信号の伝達のための動作であるが、交絡部の回路であるから、1系から0系に向かう信号の伝達回路についても同様に行われる。また、本実施の形態は、現用系の動作中の動作モードを予備系にて前記状態保持回路を介して記憶しておき、予備系から現用系に切り替わった場合に、当該記憶内容の動作モードで即時に動作を開始する2重化処理装置の交絡部として適用して好適である。

【0039】

（他の実施の形態）

以上の実施の形態ではパリティチェックにより交絡信号の正常性を確保しているが、パリティチェックに加えて交絡信号の受信回路側に更なる工夫を付加する

ことにより、誤動作を防止することが可能である。例えば、前記実施の形態の基本的構成において、交絡信号の受信側にタイマ回路を設けパリティチェックタイミング信号が一定時間内に検出できない場合に情報保持回路のデータをクリアするように構成する。

【0040】

図4は、このようなタイマ回路を設けた実施の形態を示すブロック図である。高速なクロック信号をクロック端子c1から入力して計数するタイマ回路114を設け、前記タイマ回路114のリセット端子Rにシリアルパラレル変換回路111のパリティチェックタイミング信号t11を入力し、パリティチェックタイミング信号t11がタイマ回路114を設定した一定時間内にリセットしない場合に、タイマ回路114からタイムアウト信号c12を出力して情報保持回路113をクリアするように構成する。このような構成を付加することにより、タイムアウト時に情報保持回路113のデータをクリアすることが可能となり、メイト系のカード抜け等によるパリティチェックタイミング信号の発生の誤動作を検出することができ、異常動作を防止することが可能となる。

【0041】

以上の実施の形態では、冗長ビット生成回路としてパリティ生成回路を用いてエラー訂正処理を実施した例を説明したが、パリティチェックを使用する代わりに1ビットエラーを訂正し2ビットエラーを検出するエラーコレクションコードやCRCコードを使用する構成とすることが可能である。また、冗長コード生成回路とタイミング生成回路とパラレルシリアル変換回路を同一チップ内に、シリアルパラレル変換回路と冗長ビット復号回路と状態保持回路とを同一チップ内に構成することができる。このような構成とすることにより簡易に製造でき、且つ接続不良による誤動作を防止することができる。

【0042】

さらに、交絡信号として2重化動作モードを示す信号のみでなく、2重化処理装置で使用するエマージェンシ動作を規定する信号に冗長ビットを付加して多重化して送受するように構成することも可能であり、このように構成することにより2重化処理装置のさらなるシステムダウン時間の抑止に有効である。

【 0 0 4 3 】

【発明の効果】

本発明によれば、プロセッサボードを使用する現用系及び予備系の2重化プロセッサ間の複数の交絡信号を冗長ビットを付加しシリアル信号に多重化して送受することにより、メイト間の交絡部相互の正常性のチェックが可能であり、2重化処理装置の故障の検出、対処及び現用系と予備系との切り換えの円滑化が可能である。

【 0 0 4 4 】

また、2重化プロセッサ装置のメイト間を接続する信号のドライバの故障やプリントワイヤリングボードとバックワイヤリングボードの故障よりハイレベルあるいはローレベルに信号線が固定された場合にも、冗長ビットによってメイト間の交絡信号の正常性がチェックされるので、2重化プロセッサ装置の動作モードの異常による現用系の特定、状態設定及び立ち上げ系を決定できないという問題を回避することができる。また、立ち上げ系を決定できない場合、2重化システムはシステムダウン状態となため、本発明により2重化プロセッサ装置のシステムダウン時間を短縮することが可能である。

【 0 0 4 5 】

特に、2重化プロセッサ装置において、1重化運転中の装置構成から2重化構成にするためにプロセッサカードをモジュールに挿入した際に、そのプロセッサカードの交絡信号にハイレベルスタックやローレベルスタックがあった場合に発生する系構成異常によるシステムダウンを抑止する効果がある。

【 0 0 4 6 】

また、本発明ではメイト間の交絡信号をシリアル信号に多重することから信号本数を削減しているので、製造不良が発生するポイント数も低減することもできる。

【 0 0 4 7 】

しかも、信号本数を削減していることからドライバ部品点数を削減し、バックワイヤリングボード上の本数低減はバックワイヤリングボードの層数の低減につながり、システムコストを下げるという点でも効果がある。

【 0 0 4 8 】

【図面の簡単な説明】

【図 1】 本発明の一実施の形態の 2 重化交絡方式のシステム構成を示すブロック図である。

【図 2】 両方向の構成を備える 2 重化処理装置の交絡部のブロック図である。

【図 3】 本実施の形態の動作タイミングを示す図である。

【図 4】 他の実施の形態を示すブロック図である。

【図 5】 従来 of 交絡部の構成例を示す図である。

【符号の説明】

1 0 1 パリティ生成回路

1 0 2 タイミング生成回路

1 0 3 パラレルシリアル変換回路

1 0 4、1 1 1 シリアルパラレル変換回路

1 0 5、1 1 2 パリティチェック回路

1 0 6、1 1 3 状態保持回路

1 1 4 タイマ回路

5 0 0 送信ドライバ

5 1 0 受信ドライバ

s 1 1、s 1 2、s 1 4、s 1 5、s 1 6 状態表示信号

s 1 3 メイト間の状態通知信号

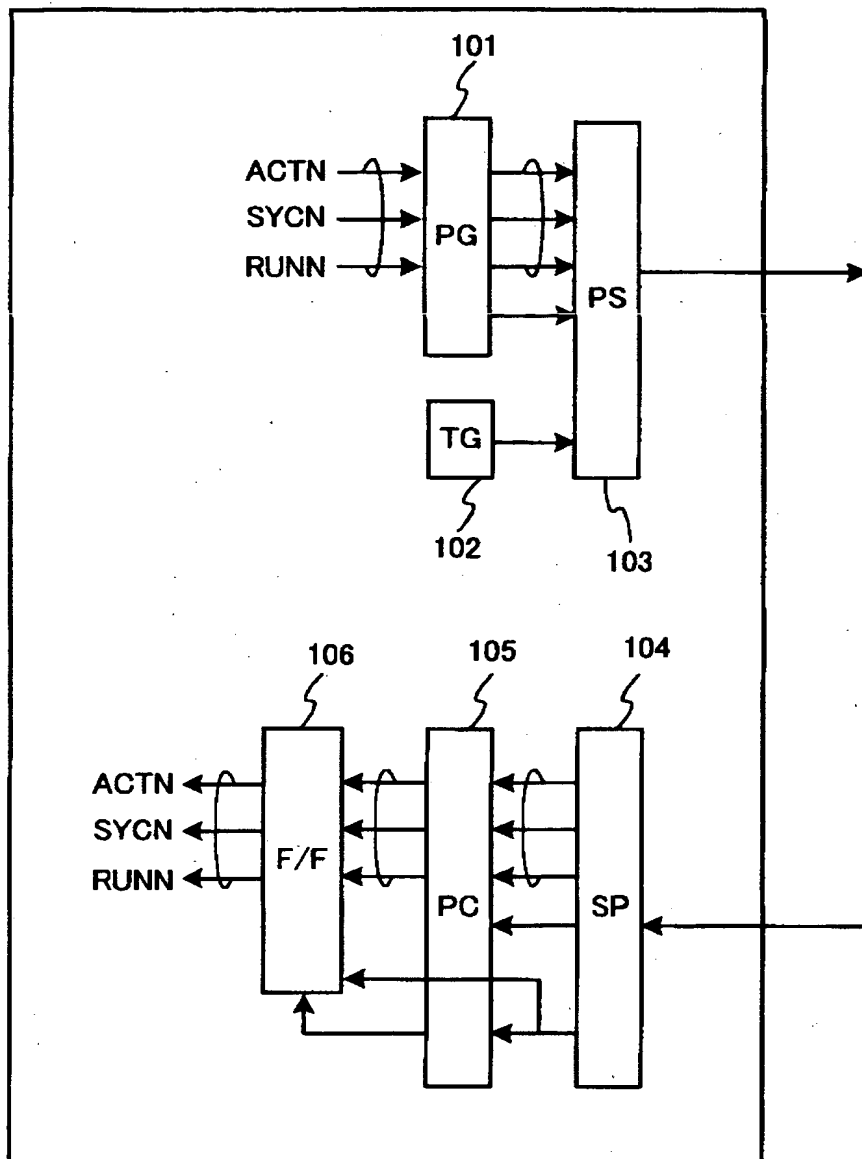
p 1 0、p 1 1 パリティ信号

c 1 1 保持データのクリア信号

t 1 0 パラレルシリアル変換回路からのタイミング信号

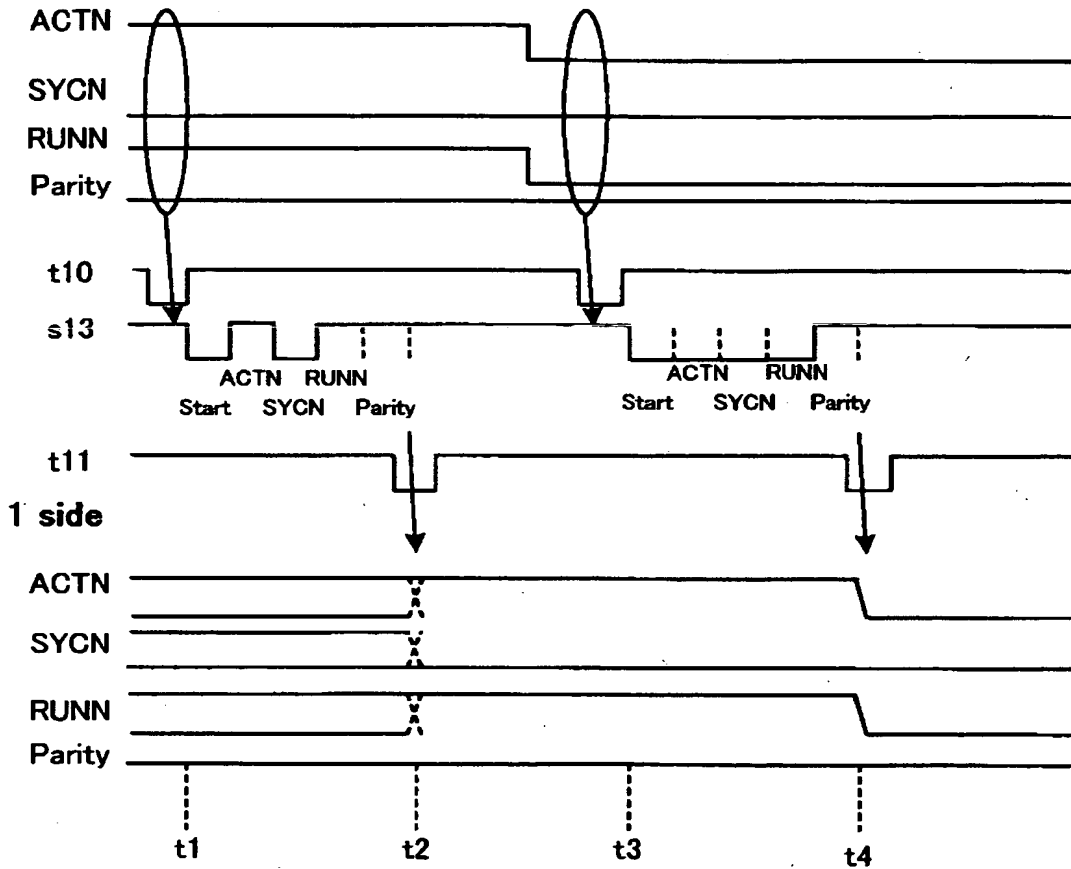
t 1 1 パリティチェックタイミング信号

【図 2】

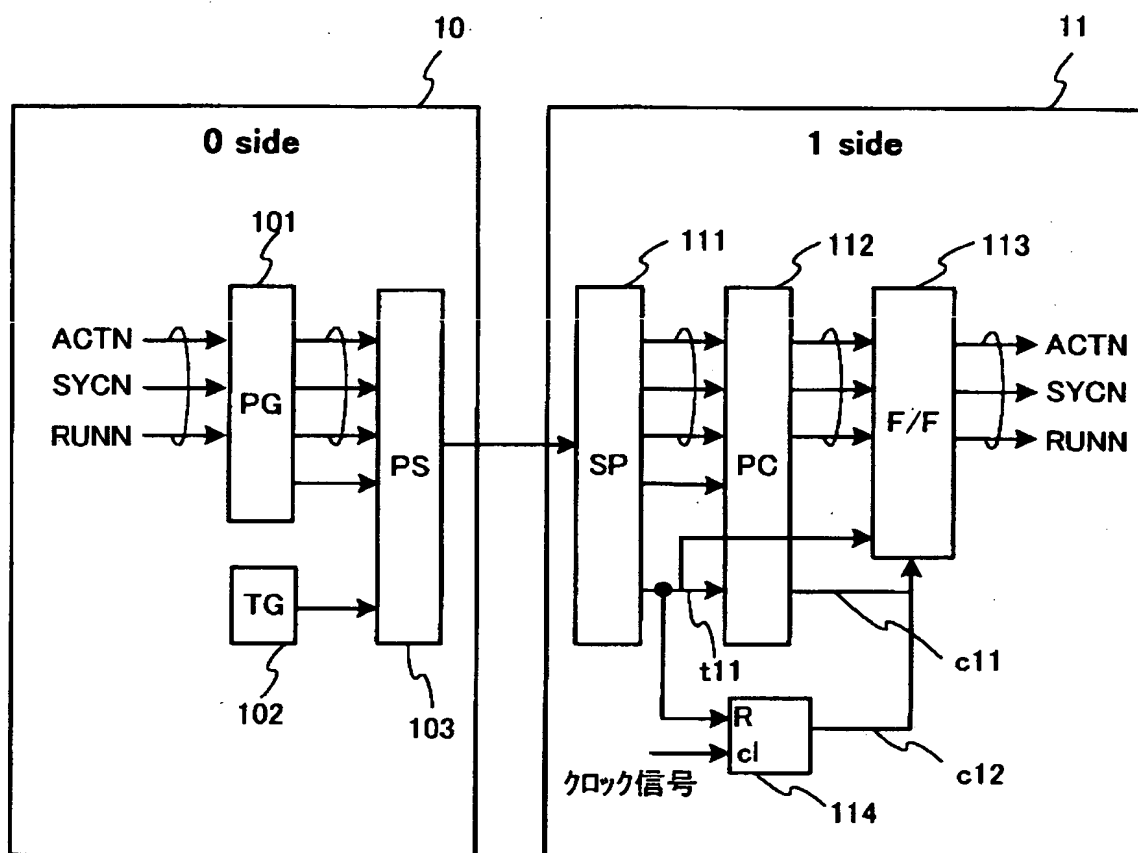


【図 3】

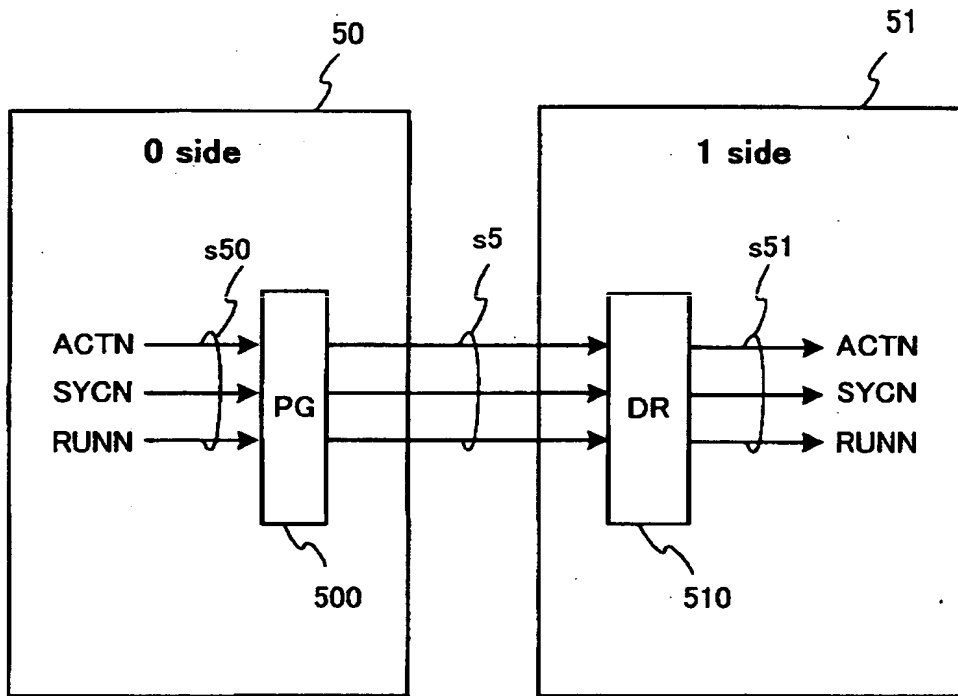
0 side



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 2重化プロセッサ装置の交絡信号の送受信におけるバックワイヤリングボードとプロセッサボードの故障あるいは出力ドライバの故障時に現用系を定めることを可能とする。

【解決手段】 0 s i d e 1 0 のパリティ生成回路 1 0 1 は、各信号線の入力信号 s 1 1 に冗長ビットを付加してパラレル信号 s 1 2、p 1 0 とし、パラレルシリアル変換回路 1 0 3 はタイミング信号 t 1 0 によりシリアル信号 s 1 3 に多重して出力する。1 s i d e 1 1 のシリアルパラレル変換回路 1 1 1 は、シリアル信号 s 1 3 をパラレル信号 s 1 4、パリティ信号 p 1 1、タイミング信号 t 1 0 を復元し、パリティチェック回路 1 1 2 はパラレル信号 s 1 4 をパリティ信号 p 1 1 でチェックし正常であれば状態保持回路 1 1 3 に状態信号として出力 s 1 5 して保持し、異常であれば保持データをクリアする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社